



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 41 32 574 A 1**

⑤1 Int. Cl.⁵:
H 04 L 7/04

⑳ Aktenzeichen: P 41 32 574.5
㉑ Anmeldetag: 30. 9. 91
㉒ Offenlegungstag: 1. 4. 93

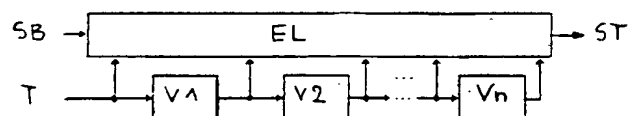
DE 41 32 574 A 1

㉑ Anmelder:
Siemens AG, 8000 München, DE

㉒ Erfinder:
Heineck, Frank, 8000 München, DE

⑤4 Verfahren zur Taktsynchronisation

⑤7 Die Erfindung betrifft ein Verfahren zur Taktsynchronisation von ankommenden seriellen Bitfolgen mit einem vorgegebenen Systemtakt des Empfängers.
Zur Erzielung einer sehr genauen Bitdetektion eines seriellen Bitstroms, welcher lediglich durch ein Startbit (SB) gekennzeichnet ist, wird der Systemtakt (T) eines Oszillators fortlaufend einer aus mehreren hintereinandergeschalteten Verzögerungsschaltungen (V1...Vn) zugeführt, wobei ein empfangenes Startbit (SB) nach einer bestimmten vorgegebenen Verzögerungszeit den Ausgang derjenigen Verzögerungsschaltung freigibt, an welchem zu diesem Zeitpunkt der Systemtakt anliegt.



DE 41 32 574 A 1

Die vorliegende Erfindung betrifft ein Verfahren zur Taktsynchronisation von ankommenden, aus einer seriellen Bitfolge bestehenden Datenwörtern, mit einem vorgegebenen Systemtakt des Empfängers, wobei jedes Datenwort durch ein Startbit eingeleitet wird.

Aufgabe des Empfängers ist es, den seriellen Bitstrom aufzunehmen, eine Entscheidung zu treffen, wann ein Datenbit empfangen worden ist, dieses zu detektieren und an einem Ausgang für weitere Verarbeitungen bereitzuhalten. Hierzu muß ein Takt zur Verfügung gestellt werden, der im Empfänger zu einem definierten Zeitpunkt die Bitdetektion auslöst. Die Taktsynchronisation hat also die Aufgabe, einen empfängerseitigen Systemtakt in der Art und Weise zu synchronisieren, daß der synchronisierte Takt nach Ankunft des Startbits nach einer definierten Zeit mit einer Taktflanke startet. Dies bedeutet, daß der Systemtakt um eine gewisse Phase verschoben werden muß, welche vom Zeitpunkt des Empfangs des Startbits abhängt.

Die einfachste Lösung der obengenannten Aufgabe wäre ein mit dem Startbit ausgelöster Einschaltvorgang, der einen Taktoszillator zum Schwingen bringt. In diesem Fall steht man jedoch zwei entscheidenden Problemen gegenüber; einmal muß der Oszillator bei jedem Einschaltvorgang gleiches Einschwingverhalten zeigen und nach einer konstanten Zeit auf seinen Maximalwert eingeschwungen sein, zum anderen ist der Einschwingzeit durch die Höhe der Übertragungsgeschwindigkeit eine enge Grenze gesetzt. Eine andere Lösung wäre das Arbeiten mit einer gegenüber der Übertragungsgeschwindigkeit höheren Taktfrequenz, was aber zu so hohen Frequenzen führen kann, daß diese mit normalen elektronischen Bausteinen nicht mehr zu verarbeiten sind.

Aufgabe der vorliegenden Erfindung ist es, ein Verfahren der eingangs genannten Art anzugeben, welches auf einfache Art und Weise eine Synchronisation einer ankommenden seriellen Bitfolge mit dem Systemtakt des Empfängers ermöglicht.

Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß der Systemtakt eines empfangsseitigen Oszillators fortlaufend einer aus mehreren hintereinandergeschalteten Verzögerungsschaltungen bestehenden Verzögerungskette zugeführt wird, und daß ein ankommendes Startbit nach einer bestimmten vorgegebenen Verzögerungszeit den Ausgang derjenigen Verzögerungsschaltung freigibt, an welchem zu diesem Zeitpunkt der Systemtakt anliegt.

Bei dem erfindungsgemäßen Verfahren besteht der Grundgedanke darin, den Oszillator ständig eingeschaltet zu lassen und im Startmoment die Phase dieses Oszillators geschickt so zu verschieben, daß die geforderte konstante Verzögerungszeit eingehalten wird. Auf diese Weise kann das Ein- und Ausschwingverhalten des Oszillators unberücksichtigt bleiben und es werden auch keine unnötig hohen Taktfrequenzen benötigt.

Um während der Abtastung eine hohe Funktionstüchtigkeit zu gewährleisten, ist eine zweckmäßige Weiterbildung des erfindungsgemäßen Verfahrens dadurch gekennzeichnet, daß mit der Freigabe des Ausgangs einer Verzögerungsschaltung die Ausgänge aller anderen Verzögerungsschaltungen gesperrt werden.

Anhand einer in der Zeichnung dargestellten beispielhaften Schaltungsanordnung zur Durchführung des erfindungsgemäßen Verfahrens soll dieses nachfolgend näher erläutert werden.

Es zeigen

Fig. 1 den vorderen Teil eines ankommenden Datenwortes mit dem zugehörigen synchronisierten Takt,

Fig. 2 den prinzipiellen Aufbau einer Taktsynchronisationseinheit zur Durchführung des erfindungsgemäßen Verfahrens, und

Fig. 3 nähere Einzelheiten des Aufbaus der in Fig. 2 dargestellten Taktsynchronisationseinheit.

Bei dem hier dargestellten Ausführungsbeispiel wird davon ausgegangen, daß die Übertragungsrate 1 MByte/s beträgt. Das heißt, die Bitbreite der einzelnen Bits des Datenwortes DW beträgt 100 ns. Die Breite des Startbits SB beträgt ebenfalls 100 ns. Wie aus der Fig. 1 zu entnehmen ist, würde also im dargestellten Ausführungsbeispiel der Empfänger, nachdem er bis zu diesem Zeitpunkt ein "high"-Signal angeboten bekam, bei Eintreffen des Startbits eine negative Taktflanke erhalten. Das "high"-Signal bedeutet für den Empfänger, bis zu diesem Zeitpunkt in Wartestellung zu verharren und kein Empfangssignal zu verarbeiten. Dies bedeutet wiederum für die Taktsynchronisationseinheit ebenso in Bereitschaft zu sein und keinen Systemtakt T weiterzugeben.

Das Startbit, genauer dessen negative Taktflanke, soll nun den Startvorgang für die Taktsynchronisationseinheit auslösen. Da nach 100 ns das erste Datenbit eintrifft, muß also — wie aus Fig. 1 zu ersehen ist — die erste Abfrage nach 150 ns erfolgen. Stellt die Taktsynchronisationseinheit nach dieser Zeit einen startenden Takt zur Verfügung, der der Bitrate entspricht, können nun mit einer Taktfrequenz von 10 Mhz die nachfolgenden Datenbits eingelesen werden. Danach schaltet der Empfänger bzw. die Taktsynchronisationseinheit wieder auf Wartestellung und das nächste Datenwort kann empfangen werden. Im Ausführungsbeispiel sei angenommen, daß das Datenwort aus einem Start- und einem Stopbit, sowie acht reinen Informationsbits besteht.

Der prinzipielle Aufbau einer Taktsynchronisationseinheit ist in Fig. 2 gezeigt. Er besteht im wesentlichen aus n Verzögerungsschaltungen V1...Vn und einer Entscheidungslogik EL. Der aus den einzelnen Verzögerungsschaltungen bestehenden Verzögerungskette wird der Systemtakt T zugeführt, während das Startbit SB der Entscheidungslogik EL zugeführt wird. Der Ausgang jeder einzelnen Verzögerungsschaltung V1...Vn ist mit der Entscheidungslogik EL verbunden, an dessen Ausgang der zur Abfrage der Informationsbits benötigte synchronisierte Takt ST anliegt.

Wie bereits oben ausgeführt, besteht der Grundgedanke des erfindungsgemäßen Verfahrens darin, den Quarzoszillator ständig eingeschaltet zu lassen und im Startmoment die Phase dieses Oszillators geschickt so zu verschieben, daß die geforderte konstante Verzögerungszeit eingehalten wird. Es werden also mittels der aus den Verzögerungsschaltungen bestehenden Verzögerungskette verschiedene Phasen des Grundtaktes erzeugt und zum entsprechenden Zeitpunkt wird die Phase, welche den genannten Anforderungen am nächsten kommt, ausgewählt. Hieraus folgt, daß die Genauigkeit dieser Lösung mit der Anzahl der vorhandenen verschiedenen Phasen steigt. Um die 150 ns Verzögerungszeit zu erreichen, muß das in der Phase synchronisierte Signal nur noch durch eine konstante Anzahl von Verzögerungsgliedern zeitlich verschoben werden. Der gleiche Effekt wäre durch ein Verzögern des Startsignals möglich.

Stehen z. B. zehn verschiedene Phasen zur Verfügung, so ist beim Ausführungsbeispiel eine jede bei ei-

ner Taktfrequenz von 10 Mhz um 10 ns voneinander verschoben. Dies würde bedeuten, daß die konstant geforderte Verzögerungszeit um 10 ns schwanken kann. Legt man den geforderten Zeitpunkt der ersten positiven Taktflanke in die Mitte dieses Schwankungsbereichs, ergibt sich ein Fehler von $\pm 5\%$. Dies entspräche dann der gleichen Genauigkeit eines Systems, das mit einer hohen Taktfrequenz von 100 Mhz arbeiten müßte.

Anhand der Fig. 3 soll die nähere Arbeitsweise des erfindungsgemäßen Verfahrens erläutert werden. Die Taktsynchronisationseinheit soll auf z. B. neun Verzögerungsschaltungen beschränkt werden und es soll ein Fehler von 10% des synchronisierten Taktes angestrebt werden. Das heißt, die Entscheidungslogik EL soll einen der verzögerten Takte nach 150 ns, nach dem das Startbit empfangen worden ist, auf den Ausgang gelegt haben.

Diese Einheit muß also lokalisieren, wo sich der benötigte Systemtakt befindet. Man kann sich das Durchlaufen des Systemtaktes durch diese Verzögerungsschaltung als eine in diese Richtung ausbreitende positive Flanke vorstellen, die das Ende der Verzögerungskette erlangt, wenn eine neue Taktflanke am Eingang erscheint.

Aufgabe des erfindungsgemäßen Verfahrens ist es nun, diese positive Flanke, wo immer sie sich zum Zeitpunkt des Startbits auch befinden mag, einen Vorgang auslösen zu lassen, der nur diesen einen Takt zum Ausgang führt. Dies ist mit einer in Fig. 3 dargestellten Schaltlogik möglich.

Als Startbit SB, d. h. als Startsignal, wird eine Änderung von "low" auf "high" angenommen. Dieses Startsignal setzt den "Clear"-Eingang C eines Flip-Flops FF auf "high"-Potential und läßt somit von diesem Moment eine Triggerung des "Clock"-Eingangs Clk zu.

Es soll nun angenommen werden, daß die in Fig. 3 dargestellte und hier betrachtete Stufe gerade von einer positiven Taktflanke des Systemtaktes T hinter der Verzögerungsschaltung V1 angesteuert wird. Aufgrund der Verknüpfung des Systemtaktes mit dem Ausgangssignal des Ausgangs NQ des Flip-Flops FF über das Sperrgatter SpG liegt dieser Systemtakt auch am "Clock"-Eingang Clk des Flip-Flops FF an und taktet den Baustein. Vorausgesetzt ist, daß das Ausgangssignal des Ausgangs NQ "high" beträgt.

Bis zu diesem Zeitpunkt beträgt der Zustand am D-Eingang des Flip-Flops FF, der aus der Verknüpfung aller NO-Ausgänge aller pro Verzögerungsschaltung vorhandenen Flip-Flops FF gebildet wird, "high". Dieser Zustand wird an den Q-Ausgang weitergegeben und ermöglicht am Freigabegatter FrG den Austritt des gewünschten Taktes. Gleichzeitig wird das Sperrgatter SpG mit einem Level von "low" vom NQ-Ausgang gesperrt und ein erneutes Takten unterbunden. Zugleich werden alle D-Eingänge der Flip-Flops FF auf den Level "low" gelegt, da nun ein Eingang des Steuergatters StG ebenfalls "low" beträgt. Dadurch wird verhindert, daß beim Takten eines einer anderen Verzögerungsschaltung zugeordneten Flip-Flops FF der gleiche Vorgang eingeleitet würde. Durch eine ODER-Verknüpfung im Ausgabegatter AuG lassen sich alle Ausgänge der einzelnen Freigabegatter FrG auf einen zusammenfassen.

Da die Laufzeit durch eine Verzögerungsschaltung im dargestellten Ausführungsbeispiel lediglich 10 ns beträgt, muß nun festgestellt werden, inwieweit vorhandene Schalt- und Gatterlaufzeiten einen Einfluß auf den Ablauf eines solchen Vorgangs haben. Es ist also eine

entsprechende Zeitbilanz aufzustellen und dann eine Auswahl der Bauelemente so zu treffen, daß die gewünschte Verzögerungszeit erreicht wird. Im vorliegenden Beispiel müßte die interne, durch die Schaltungsanordnung verursachte Verzögerungszeit bis zur Wirkamschaltung einer Phase 50 ns betragen.

Patentansprüche

1. Verfahren zur Taktsynchronisation von ankommenden, aus einer seriellen Bitfolge bestehenden Datenwörtern, mit einem vorgegebenen Systemtakt des Empfängers, wobei jedes Datenwort durch ein Startbit eingeleitet wird, **dadurch gekennzeichnet**, daß der Systemtakt (T) eines empfangsseitigen Oszillators fortlaufend einer aus mehreren hintereinandergeschalteten Verzögerungsschaltungen (V1...Vn) bestehenden Verzögerungskette zugeführt wird, und daß ein ankommendes Startbit (SB) nach einer bestimmten vorgegebenen Verzögerungszeit den Ausgang derjenigen Verzögerungsschaltung (V1...Vn) freigibt, an welchem zu diesem Zeitpunkt der Systemtakt (T) anliegt.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß mit der Freigabe des Ausgangs einer Verzögerungsschaltung (z. B. V1) die Ausgänge aller anderen Verzögerungsschaltungen (V2...Vn) gesperrt werden.

Hierzu 1 Seite(n) Zeichnungen

Fig. 1

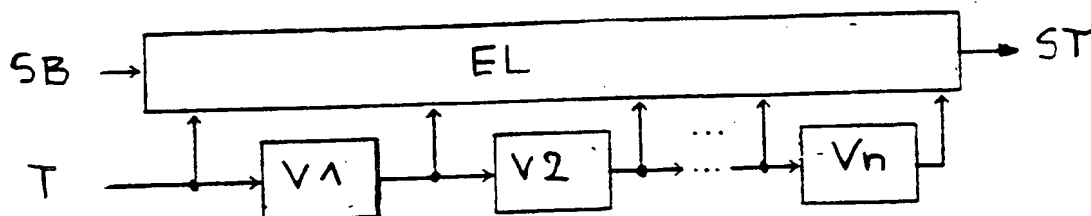


Fig. 2

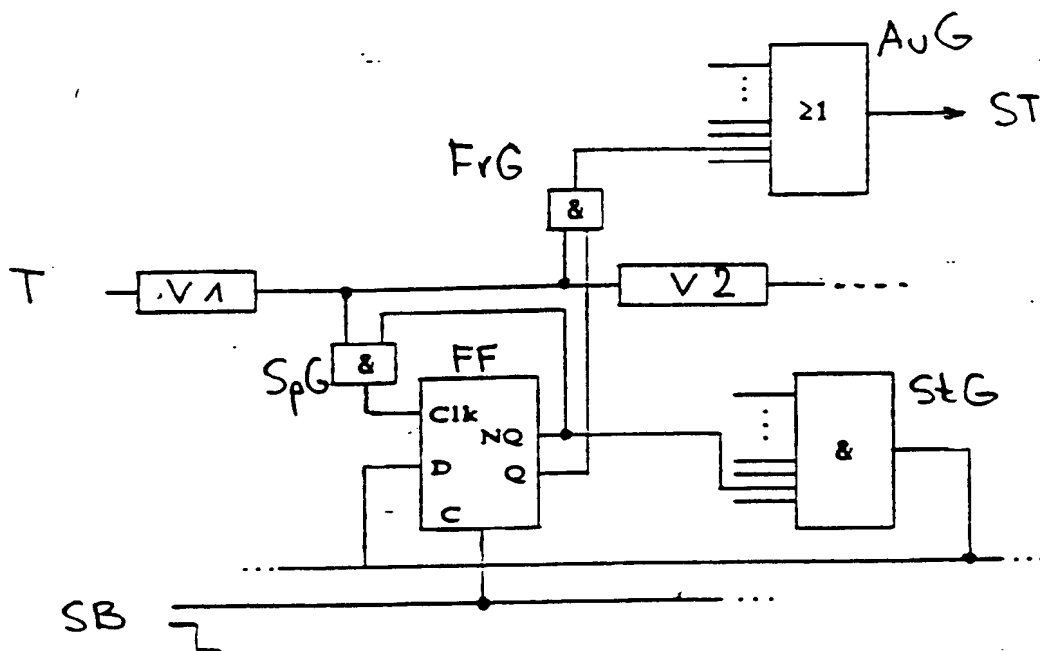


Fig. 3